

PATENT
3626-0251P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HSU, Han-cheng et al. Conf.:
Appl. No.: NEW Group:
Filed: July 9, 2003 Examiner:
For: EMI SUPPRESSION DEVICE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 9, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

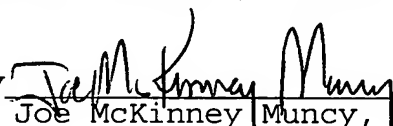
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	091220528	December 17, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

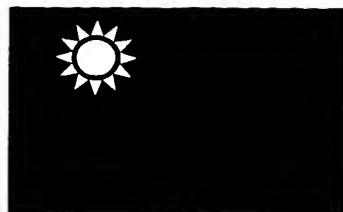
By 
Joe McKinney Muncy, #32,334

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

KM/sll
3626-0251P

Attachment(s)

HSU, Han-Cheng et al.
July 9, 2003
BSKB, LLP
(703) 206-3111
3026-0251P
1 of 1



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 12 月 17 日
Application Date

申 請 案 號：091220528
Application No.

申 請 人：台達電子工業股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

2003 1 28

發文日期：西元 年 月 日
Issue Date

發文字號：09220087640
Serial No.

申請日期：

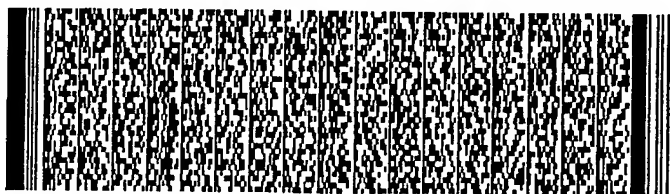
IPC分類

申請案號：

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	電磁干擾抑制裝置
	英 文	EMI Suppression Device
二、 創作人 (共2人)	姓 名 (中文)	1. 許漢正 2. 柯文德
	姓 名 (英文)	1. HSU, Han-cheng 2. KO, Wen-te
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 桃園縣蘆竹鄉愛國一路118巷8號 2. 高雄市新興區同愛街27巷20號
	住居所 (英 文)	1. No. 8, Lane 118, Aikuo 1st Rd., Luju Shiang, Taoyuan County, Taiwan, R.O.C. 2. No. 20, Lane 27, Tungai St., Shinshing Chiu, Kaohsiung, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台達電子工業股份有限公司
	名稱或 姓 名 (英文)	1. DELTA ELECTRONICS, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉山頂村興邦路31-1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 31-1, Shien Pan Road, Kuei San Industrial Zone, Taoyuan County, Taiwan, R.O.C.
	代表人 (中文)	1. 鄭崇華
	代表人 (英文)	1. CHENG, Bruce



四、中文創作摘要 (創作名稱：電磁干擾抑制裝置)

一種電磁干擾(Electromagnetic Interference ; EMI)抑制裝置，包含一殼體、一共模(Common Mode)雜訊抑制元件、複數個導電柱及至少一差模(Differential Mode)雜訊抑制元件。殼體具有一罩蓋以容置該共模雜訊抑制元件，且由罩蓋延伸出複數個腳部，各導電柱之一部穿透該複數個腳部形成一接墊，並電連接至該共模雜訊抑制元件，其中該電磁干擾抑制裝置係經由該接墊安裝至一電路板。

五、(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

10 電磁干擾抑制裝置

英文創作摘要 (創作名稱：EMI Suppression Device)

An EMI(Electromagnetic Interference) suppression device comprises a packing case, a common mode noise reduction element, a plurality of conductive pillars and at least one differential mode noise reduction element. The packing case forms with a housing that can accommodate the common mode noise reduction element and a plurality of foot portions that protrude from the housing. A connection pad is formed by a portion of a conductive pillar that penetrates the foot portion, and at least one



四、中文創作摘要 (創作名稱：電磁干擾抑制裝置)

12	殼體
12A	罩蓋
12B	腳部
14	共模抗流線圈
16	導電柱
18	鐵蕊元件

英文創作摘要 (創作名稱：EMI Suppression Device)

differential mode noise reduction element is fixed on the conductive pillar, wherein the EMI suppression device is mounted on a circuit board via the connection pad.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

無

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

一、【新型所屬之技術領域】

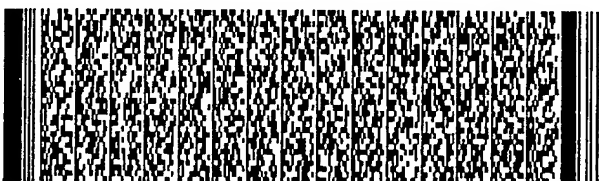
本創作提供一種電磁干擾 (Electromagnetic Interference ; EMI) 抑制裝置，尤有關一種可同時抑制共模(Common Mode)及差模(Differential Mode)雜訊干擾之電磁干擾抑制裝置。

二、【先前技術】

在單一系統內全無雜訊而處理甚佳的信號，其電磁能量對綜合系統內其他副系統的信號而言，是屬於不需要的信號，此信號可能會造成可觀的干擾，稱之為電磁干擾。一般而言，干擾電力線的雜訊均可分為共模成分與差模成分。共模雜訊是指兩導線上振幅相差微小且相位相同之雜訊干擾，因此亦可稱為非對稱型式的雜訊

(Asymmetrical-mode noise)。而差模雜訊是指以相同振幅但相位相差180度的雜訊，因此亦可稱為對稱型式的雜訊 (Symmetrical-mode noise)。這兩種形式的雜訊普遍的存在於輸入或輸出線中。

一般用於抑制信號線差模雜訊的對策元件，常使用一鐵蕊元件(Ferrite Bead)。利用鐵氧體(Ferrite)材料於高頻時之阻抗特性，可吸收高頻時之放射雜訊。圖1A及圖1B顯示利用一鐵蕊元件106抑制電磁干擾之示意圖，圖1A及圖1B中均包含一電壓源100、一放大器102、一電容C及一電阻R的一簡單RC電路。示波器104顯示出如圖1A所示之被干擾的輸出電壓波形，當提供一鐵蕊元件106連接該電



五、創作說明 (2)

路後，會有一阻抗吸收產生之雜訊，而輸出如圖1B所示之平整波形。

再者，一般用於共模干擾之對策元件，常使用一共模抗流線圈(Common Mode Choke)，以除去接地層的電壓搖晃與信號配線所產生的雜訊。其運作原理為當同相位的電流的場合時(也就是共模電流)，因電流產生的磁束重疊而產生阻抗俾除去雜訊；相反地，當反相電流流過時(亦即差模電流)，因電流產生的磁束相互抵消，因而不產生阻抗。換言之，共模抗流線圈不會對差模電流產生影響，而是針對共模電流做選擇性的衰減。圖2顯示一共模抗流線圈於不同頻率下之雜訊衰減量，由圖上可看出於高頻時共模抗流線圈的效果相當顯著。

習知做法係分別將上述共模及差模雜訊干擾抑制元件，即共模抗流線圈及鐵蕊元件，分散打件於印刷電路板上，以滿足抑制共模及差模雜訊兩種不同模式之電磁干擾的需求。然而，如此需於電路板之不同佈線區域處預留各個元件的空間，而侷限電路佈局之空間與彈性。再者，如此於製作過程中亦需耗費較多的打件時間，且各個雜訊干擾抑制元件散佈於電路板的方式，亦容易導致因距離過近的佈線產生未知的電磁干擾問題。

三、【新型內容】

因此，本發明之目的在提供一種電磁干擾抑制裝置，其僅需於電路板上打件一次之整合設計可獲得同時抑制共



五、創作說明 (3)

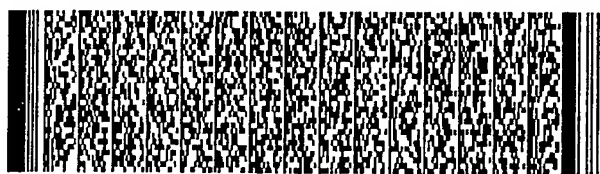
模及差模雜訊之功效。該裝置包含一殼體、一共模雜訊抑制元件、複數個導電柱及至少一差模雜訊抑制元件。共模雜訊抑制元件係容置於殼體內，且各導電柱之一部分別穿透殼體以形成一接墊，而至少一差模雜訊抑制元件分別固定於該導電柱並電連接至共模雜訊抑制元件，電磁干擾抑制裝置再經由接墊直接安裝至一電路板上。

依本創作之一實施例，殼體具有一罩蓋以容置一共模抗流線圈，且由罩蓋延伸出複數個腳部，各導電柱之一部穿透該複數個腳部形成一接墊，且複數個鐵蕊元件分別固定於該導電柱上之接墊對側，並電連接至該共模抗流線圈。

又，導電柱可形成一壓痕，俾於製造時易於固定共模抗流線圈之繞線。

再者，本創作之殼體可使用塑膠材料射出成型，且導電柱係採用金屬材料。

本創作將差模及共模雜訊干擾抑制元件整合為僅需一次打件於電路板之架構，不但可節省電路板佈線空間，且可避免如習知做法般，因各個干擾抑制元件散佈於電路板的方式，導致因距離過近的佈線產生未知的電磁干擾問題。再者，考慮印刷電路板上表面黏著元件(SMD)製程，本創作可快速一次打件於電路板上，明顯節省製作程序及時間，且若有將干擾抑制元件自印刷電路板上移除之重工(rework)需求時，更可節省重工時間及所造成的影響。



五、創作說明 (4)

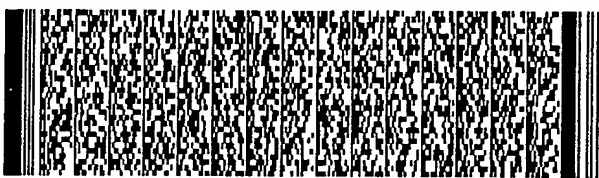
四、【實施方式】

圖3為一立體示意圖，顯示依本創作之電磁干擾抑制裝置10之一較佳實施例，圖4為顯示該實施例之構件組合的立體分解圖。如圖3所示，該裝置係由一殼體12，一共模抗流線圈(Common Mode Choke)14、四個導電柱16及複數個鐵蕊(Ferrite Bead)元件18所構成。

如圖4所示，殼體12係由罩蓋部12A及於罩蓋部12A周緣延伸出之四個腳部12B所構成，而於其中形成一空腔20俾容置共模抗流線圈14。導電柱16部分穿透殼體之腳部12B，而形成包含承接鐵蕊元件18之一固定端16A及一接墊端16B兩部分。

本實施例之電磁干擾抑制裝置10，係如圖4所示將共模抗流線圈14置入殼體12之空腔20，再將四個鐵蕊元件18分別套入導電柱16之固定端16A，然後以膠黏或其他物理方式固定於導電柱16上，共模抗流線圈14之繞線並如圖5所示，於罩蓋12A之空隙延伸出與鐵蕊元件18電連接，如此整合而成之該電磁干擾抑制裝置10，可經由導電柱16之接墊端16B，直接以表面黏著方式(SMT)一次打件，安裝於一印刷電路板24上。

圖6為本創作電磁干擾抑制裝置10之電路示意圖。本創作電磁干擾抑制裝置10設計為可直接打印於印刷電路板上而與一對信號線之輸入及輸出端電連接，俾同時抑制信號線之差模與共模雜訊干擾。即如圖上所示，共模抗流線圈14可於0點處減低信號線之共模雜訊，且鐵蕊元件18可



五、創作說明 (5)

於A、B、C及D點處同時減低信號線之差模雜訊。當然，鐵蕊元件18的數量並不限定為四個，而可依實際使用需求選擇性地套入4個導電柱16中，而於A、B、C或D點處減低信號線之差模雜訊，如此亦大幅增加本創作實際運用上的彈性。

本創作將差模及共模雜訊干擾抑制元件整合為同一架構之做法，不但可節省電路板佈線空間，且可避免如習知做法般，因各個干擾抑制元件散佈於電路板的方式，導致因距離過近的佈線產生未知的電磁干擾問題。再者，考慮於印刷電路板上表面黏著元件(SMD)製程，本創作可快速一次打件於電路板上，明顯節省製作程序及時間，且若有將雜訊抑制元件自印刷電路板上移除之重工(rework)需求時，更可節省重工時間及所造成的影響。

再者，本創作之殼體12可採一體成型的方式，以塑膠材料射出成型而導電柱16係由導電之金屬材料所構成。如圖5所示，導電柱16表面亦可形成一壓痕22，如此共模抗流線圈14之繞線可先於其上纏繞後再延伸出，俾於組裝該裝置之過程中易於固定該繞線。

以上所述僅為舉例性，而非為限制性者。任何未脫離本創作之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中，而非限定於上述之實施例。



圖式簡單說明

五、【圖式簡單說明】

圖1A及圖1B為顯示利用一鐵蕊元件抑制電磁干擾之示意圖。

圖2顯示共模抗流線圈於不同頻率下之雜訊衰減量。

圖3為一立體示意圖，顯示依本創作之電磁干擾抑制裝置之一較佳實施例。

圖4為顯示本創作之電磁干擾抑制裝置之構件組合的立體分解圖

圖5顯示本創作之電磁干擾抑制裝置其共模抗流線圈繞線之示意圖。

圖6為本創作電磁干擾抑制裝置之電路示意圖

元件符號說明：

10	電磁干擾抑制裝置
12	殼體
12A	罩蓋
12B	腳部
14	共模抗流線圈
16	導電柱
16A	固定端
16B	接墊
18	鐵蕊元件
20	空腔
22	壓痕



圖式簡單說明

24	印 刷 電 路 板
100	電 壓 源
102	放 大 器
104	示 波 器
106	鐵 蕊 元 件
R	電 阻
C	電 容



六、申請專利範圍

1. 一種電磁干擾(Electromagnetic Interference ; EMI)抑制裝置，用以安裝至一電路板俾同時抑制信號線之共模(Common Mode)及差模(Differential Mode)雜訊，該裝置包含：

一殼體；

一共模雜訊抑制元件，容置於該殼體內；

複數個導電柱，各該導電柱之一部分別穿透該殼體以形成一接墊；及

至少一差模雜訊抑制元件，固定於該導電柱並電連接至該共模雜訊抑制元件；其中

該電磁干擾抑制裝置係經由該接墊安裝至該電路板。

2. 如申請專利範圍第1項之電磁干擾抑制裝置，其中該共模雜訊抑制元件為一共模抗流線圈(Common Mode Choke)。

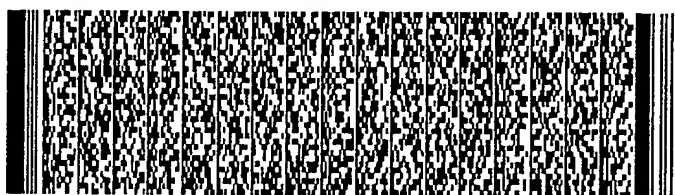
3. 如申請專利範圍第1項之電磁干擾抑制裝置，其中該差模雜訊抑制元件為一鐵蕊元件(Ferrite Bead)。

4. 如申請專利範圍第1項之電磁干擾抑制裝置，其中該殼體之材料係為塑膠。

5. 如申請專利範圍第1項之電磁干擾抑制裝置，其中該導電柱係為金屬材料所構成。

6. 如申請專利範圍第1項之電磁干擾抑制裝置，其中該差模雜訊抑制元件以膠合方式固定於該導電柱。

7. 如申請專利範圍第1項之電磁干擾抑制裝置，其中該導電柱表面更形成有一壓痕。



六、申請專利範圍

8. 一種電磁干擾抑制裝置，用以安裝至一電路板俾同時抑制信號線之共模及差模雜訊，該裝置包含：

一殼體，具有一罩蓋及該罩蓋延伸出之複數個腳部；

一共模雜訊抑制元件，容置於該罩蓋內；

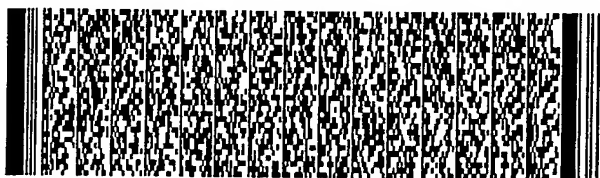
複數個導電柱，各該導電柱之一部分別穿透各該腳部以形成一接墊；及

至少一差模雜訊抑制元件，分別固定於該導電柱上之該接墊對側，並電連接至該共模雜訊抑制元件；其中

該電磁干擾抑制裝置係經由該接墊安裝至該電路板。

9. 如申請專利範圍第8項之電磁干擾抑制裝置，其中該差模雜訊抑制元件以膠合方式固定於該導電柱。

10. 如申請專利範圍第8項之電磁干擾抑制裝置，其中該導電柱表面更形成有一壓痕。



第 1/13 頁



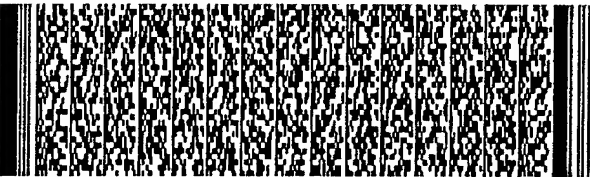
第 2/13 頁



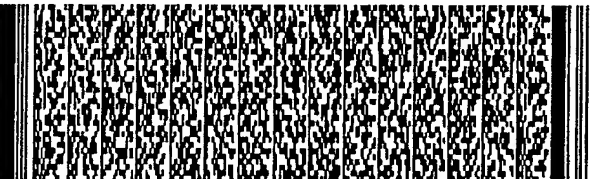
第 4/13 頁



第 5/13 頁



第 6/13 頁



第 7/13 頁



第 8/13 頁



第 9/13 頁



第 2/13 頁



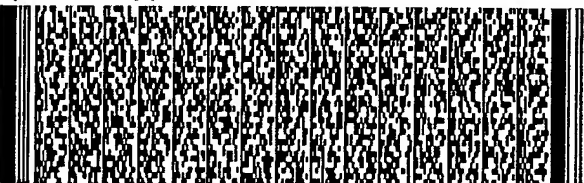
第 3/13 頁



第 5/13 頁



第 6/13 頁



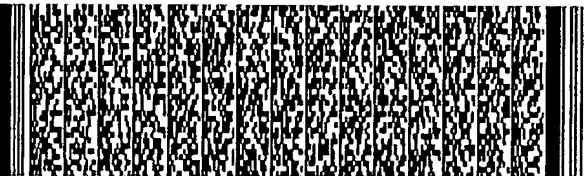
第 7/13 頁



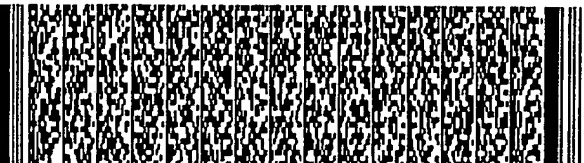
第 8/13 頁



第 9/13 頁



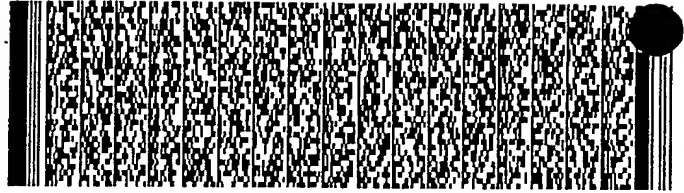
第 10/13 頁



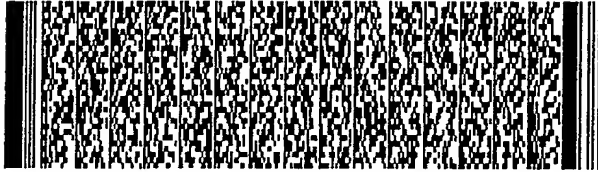
第 11/13 頁



第 12/13 頁



第 13/13 頁



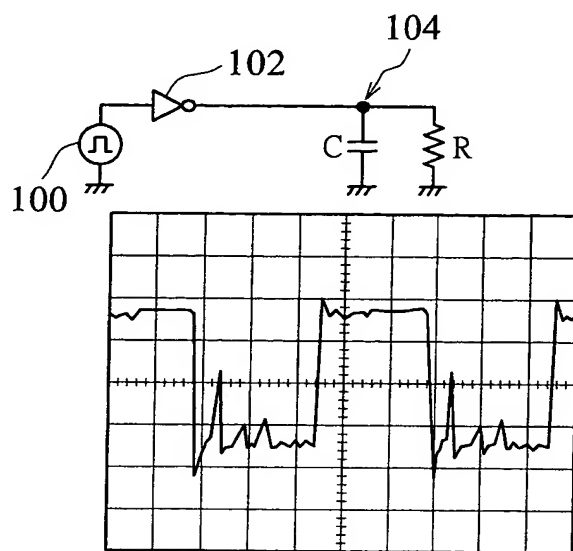


圖 1A

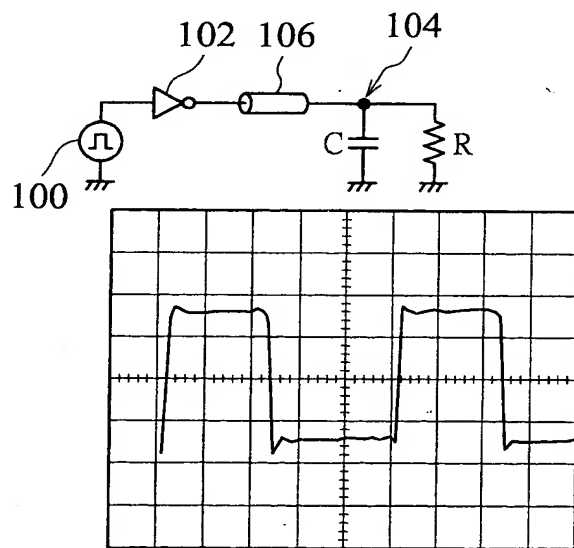


圖 1B

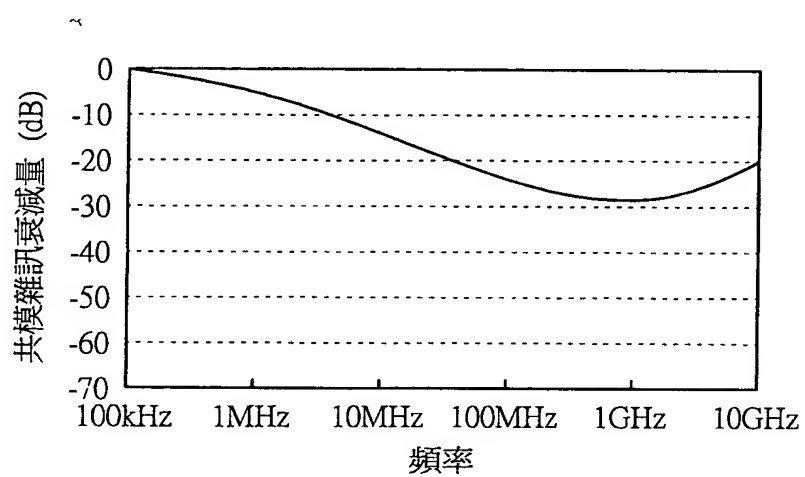


圖 2

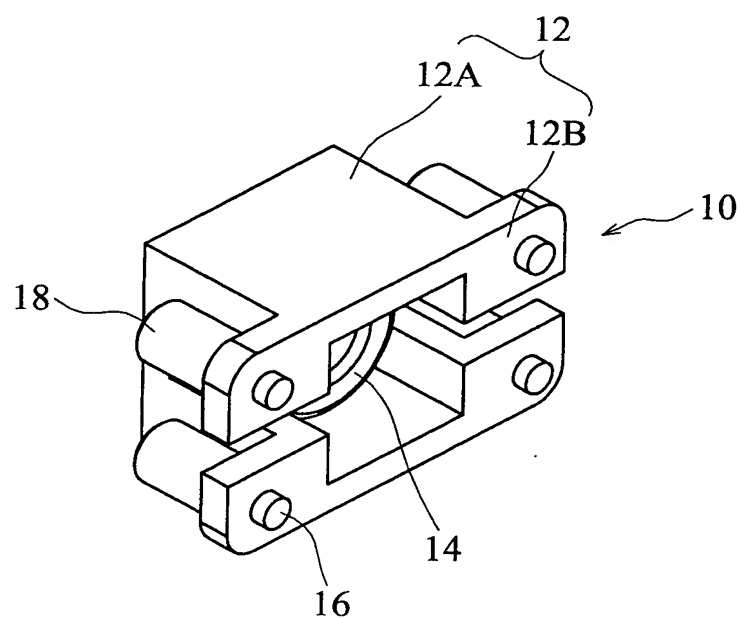


圖 3

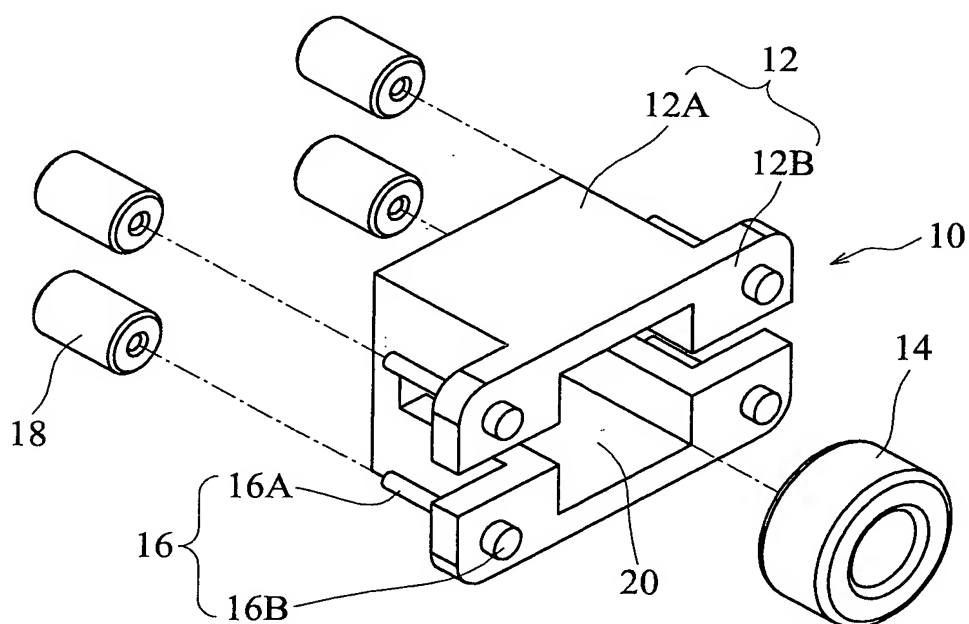


圖 4

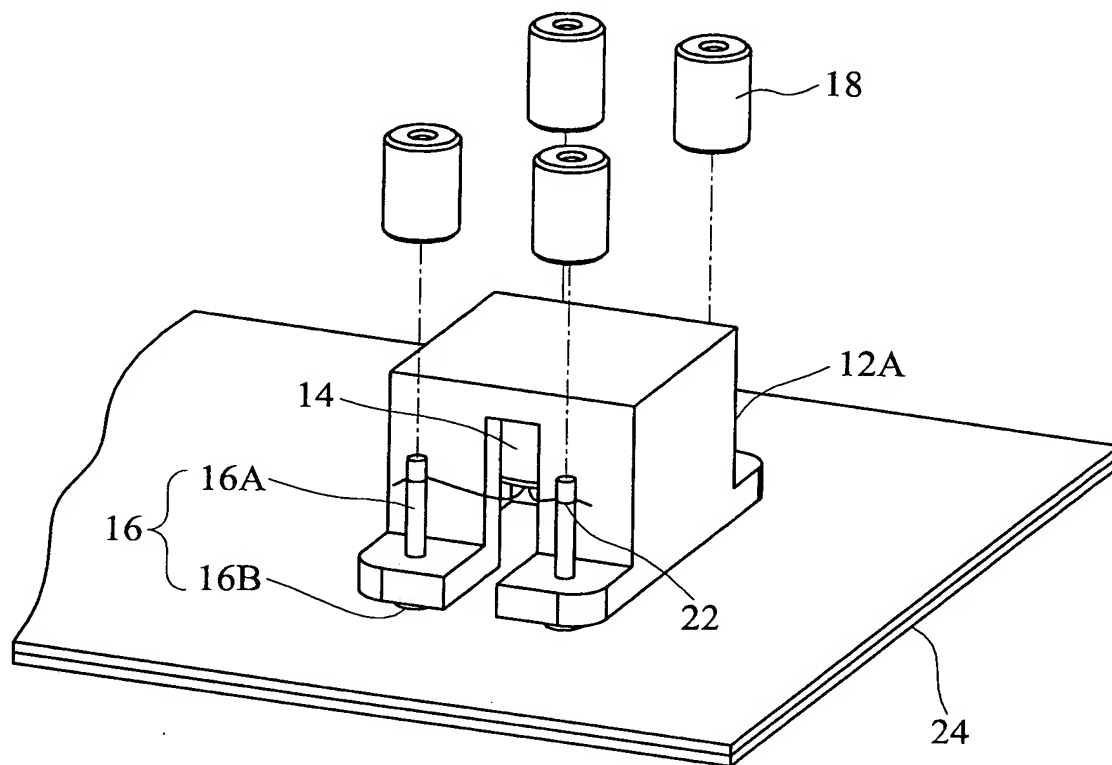


圖 5

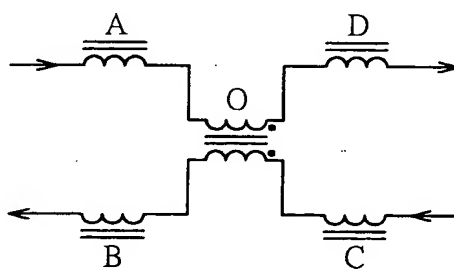


圖 6